

PAT-NO: JP408146919A

DOCUMENT-IDENTIFIER: JP 08146919 A

TITLE: LIQUID CRYSTAL DRIVING DEVICE AND
LIQUID CRYSTAL DRIVING
METHOD

PUBN-DATE: June 7, 1996

INVENTOR-INFORMATION:

NAME

IKEDA, HIROYUKI

HAYASHI, YUJI

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP06285284

APPL-DATE: November 18, 1994

INT-CL (IPC): G09G003/36, G02F001/133

ABSTRACT:

PURPOSE: To provide a liquid crystal driving device and liquid crystal driving method constituted to optimize the writing timing of video signals by eliminating the influence of a variation in the signal propagation characteristics of the scanning circuits within liquid crystal panels even with the liquid crystal panels contg. the scanning circuits of high fineness and high speed driving.

CONSTITUTION: An external signal generator 102 outputs a pulse signal Φ ;I

to a shift register SRO. A feedback signal $\Phi;F$ added with delay time from this shift register SRO is fed back and the timing of the video signal $\Phi;V$ is adjusted. The cancellation of the delay time intrinsic to the scanning circuits in the liquid crystal panels 103 is made possible. The correction of the delay quantity by every liquid crystal panel is made possible by addition of the shift registers for dummies within the scanning circuits and the exact taking out of the video signals is made possible even with the liquid crystal display devices formed to the higher fineness.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-146919

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl.⁶

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

庁内整理番号

F I

技術表示箇所

5 0 5

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平6-285284

(22) 出願日 平成6年(1994)11月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 池田 裕幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 林 祐司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

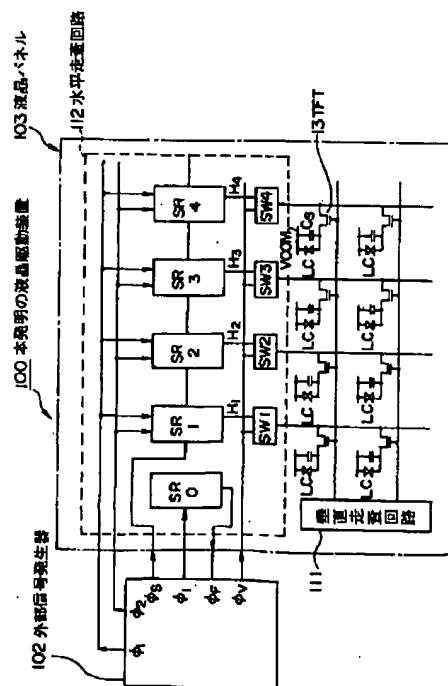
(54) 【発明の名称】 液晶駆動装置及び液晶駆動方法

(57) 【要約】

【目的】 高精細、高速駆動の走査回路を内蔵した液晶パネルにおいても、液晶パネル内の走査回路の信号伝搬特性のばらつきの影響を排除して、ビデオ信号の書き込みタイミングを最適化した液晶駆動装置及び液晶駆動方法を提供する。

【構成】 外部信号発生器102はパルス信号ΦIをシフトレジスタSR0に出力する。シフトレジスタSR0から遅延時間が加味されたフィードバック信号ΦFが帰還しビデオ信号ΦVのタイミングの調整がなされる。そして、液晶パネル103内の走査回路固有の遅延時間をキャンセルすることができる。

【効果】 走査回路内にダミー用のシフトレジスタを追加することによって1液晶パネル毎の遅延量を補正することが可能となり、高精細化された液晶駆動装置においても正確にビデオ信号を取出することができる。



【特許請求の範囲】

【請求項1】 走査回路部と画素表示部が一体的に形成された液晶駆動装置であって、
 タイミング信号を発生する外部信号発生器と、
 前記外部信号発生器から発生するタイミング信号によりサンプリングされたビデオ信号と、
 前記外部信号発生器から発生するタイミング信号の伝達遅延を行う伝達遅延手段と、
 前記伝達遅延手段の出力である伝達遅延タイミング信号を前記外部信号発生器に帰還する帰還手段とを具備して成ることを特徴とする液晶駆動装置。

【請求項2】 走査回路部と画素表示部が一体的に形成された液晶表示装置の液晶駆動方法であって、
 タイミング信号を発生する外部信号発生器と、
 前記外部信号発生器から発生するタイミング信号によりサンプリングされたビデオ信号と、
 前記外部信号発生器から発生するタイミング信号の伝達遅延を行う伝達遅延手段と、
 前記伝達遅延手段の出力である伝達遅延タイミング信号を前記外部信号発生器に帰還する帰還手段とを具備し、
 前記タイミング信号は前記外部信号発生器から前記走査回路部に出力された後、前記帰還手段によって再度前記外部信号発生器に帰還された伝達遅延タイミング信号であることを特徴とする液晶駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばカメラ一体型VTRのビューファインダや液晶プロジェクタ装置等に用いられる液晶駆動装置及び液晶駆動方法に関し、特に、ビデオ信号の書き込みタイミングを改良した液晶駆動装置及び液晶駆動方法に関するものである。

【0002】

【従来の技術】近年、カメラ一体型VTRや液晶プロジェクタに代表される液晶表示装置付機器の普及とともに、液晶表示装置への高性能化の要求が高まり、液晶表示装置の高精細化や高画質化が急速に進行している。この液晶表示装置には大別して画素制御用の薄膜トランジスタのみを基板上に形成して走査回路は周辺ICで行うものと、画素制御用の薄膜トランジスタとともに走査回路を基板上に一体的に内蔵するものとに分類される。

【0003】一方、多結晶シリコン(Poly-Si)を活性層とした薄膜トランジスタ(TFT:Thin Film Transistor 以下、単に「TFT」と記す)は、その駆動能力の高さから各画素毎のスイッチング素子サイズを小さくして高精細化に有利であると同時に、走査回路を表示部と同一基板上に構成できる利点を有するために主流をなしている。また、高精細化で低コストな液晶表示装置の実現を目指して様々な研究がなされている。更に、この方式の走査回路は、その高速性能の高さからブラウン管(CRT)の走査方式と同様に点状にビデオ信号を

画素に入力して行く点順次方式が採用され、線状に1走査線分のビデオ信号を一括して入力する線順次駆動方式とは差異を際立たせている。本発明は高精細化が進む走査回路を基板上に内蔵した液晶表示装置に係わるものである。

【0004】従来技術の液晶駆動装置及び液晶駆動方法について図3及び図4を参照して説明する。

【0005】初めに、図3を参照して従来技術の液晶駆動装置の構成を説明する。同図において、符号1は従来技術の液晶駆動装置を指す。従来技術の液晶駆動装置1は外部信号発生器2や液晶パネル3で大略構成される。前記外部信号発生器2の細部構成は、ビデオ信号Aが入力される入力端子4や、デコーダ5、サンプルホールドS/H6、ACアンプ7、タイミングジェネレータTG8、そしてパルスドライバ9等で構成される。また、前記液晶パネル3は、走査方向の制御を司る垂直走査回路11や水平走査回路12を一体的に搭載して構成される。前記水平走査回路12は水平画素数相当のシフトレジスタ(以下、単に「SR」と記す)SR1、SR2、SR3、SR4・・・を備えてなり、更に、前記シフトレジスタの制御のもとでビデオ信号の書き込み制御を司るスイッチ(以下、単に「SW」と記す)SW1、SW2、SW3、SW4・・・を備えて構成される。

【0006】垂直走査回路11及び水平走査回路12には、各画素制御用のTFT13がマトリクス状に配設されている。つまり、前記TFT13はソース・ドレイン電極SDやゲート電極Gで構成されており、そのゲート電極Gは前記垂直走査回路11に共通的に接続されている。同様に、ソース・ドレイン電極SDは信号線として前記水平走査回路12に共通的に接続されている。また、ソース・ドレイン電極SDは蓄積容量Csや液晶セルLCを介して共通電極VCOMに接続されている。ここで、TFT13におけるソース電極やドレイン電極は回路のバイアス極性が反転すると動作上のソース・ドレインが入れ替わり、通常のFET(電界効果トランジスタ)と同様に双方向性を有するため、両者を一体として扱いソース・ドレイン電極SDと呼称することとする。

【0007】このような構成の液晶駆動装置及び液晶駆動方法の動作を説明する。図3の入力端子4に入力されたビデオ信号Aはデコーダ5に入力される。デコーダ5では、コンボジットビデオ信号構成のビデオ信号Aを液晶パネル3の駆動に適合したR、G、Bのセパレート信号に変換するとともに同期信号Syncを後述するタイミングジェネレータTG8に出力する。併せてデコーダ5ではカラー、ピクチャー、色相等の調整回路が付加されて(図示省略)次段のサンプルホールドS/H6に送出される。前記S/H6ではタイミングジェネレータTG8から出力されたフレームパルスFRPと同期を取りつつR、G、Bのビデオ信号を交流化してビデオ信号ΦVを生成して出力する。(以降はR、G、Bビデオ信号

を一括して ΦV と呼称する)。

【0008】タイミングジェネレータTG8では液晶パネル3の制御に必要な各種のタイミング信号Bを不図示のVCO(Voltage Controlled Oscillator:電圧制御発信器)や前記デコーダ5が発生する同期信号Syncから生成してタイミング信号Bの $\Phi 1'$ 、 $\Phi 2'$ 、 $\Phi S'$ として次段のパルスドライバ9に出力する。パルスドライバ9では、所定の信号レベルに変換して $\Phi 1$ 、 $\Phi 2$ 、 ΦS を生成して出力する。前記タイミング信号 $\Phi 1$ 、 $\Phi 2$ 、 ΦS の役割を説明するならば、 $\Phi 1$ 、 $\Phi 2$ は前記水平走査回路12におけるSR用のタイミングパルスであり、 ΦS は同じく水平走査回路のスタートパルスである(垂直走査回路系の各種タイミングパルスは省略する)。

【0009】液晶パネル3は、前述の外部信号発生器2から入力されたビデオ信号 ΦV や、タイミング信号 $\Phi 1$ 、 $\Phi 2$ 、 ΦS を受取るとともに、水平走査回路12や垂直走査回路11に供給する。前記水平走査回路12内のSR1、SR2・・・ではスタートパルス ΦS をスタート基準として作動を開始し、タイミングパルス $\Phi 1$ 、 $\Phi 2$ に反応したスイッチ開閉パルスH1、H2・・・を生成して次段のSW1、SW2・・・に出力する。前記SW1、SW2・・・では前記スイッチ開閉パルスをもとにビデオ信号 ΦV を取り込み、信号線を介してTFT13のソース・ドレイン電極SDに出力する。前記TFT13では、垂直走査回路11の走査期間の選択パルス入力に反応してゲート電極Gをアクティブ状態にする。前記垂直走査回路11のアクティブ期間に水平走査回路12から各ソース・ドレイン電極SDに順次映像データを取り込む。映像データは蓄積容量Cs及び液晶セルLCに供給される。前記液晶セルLCの動作は、各画素の映像レベルに応じて供給された電圧によって不図示の液晶分子を印加電圧方向に振じれて起立させることにより、この液晶分子の旋光性を利用して液晶パネル3に画像表示がなされる。

【0010】次に、図3及び図4を参照して従来技術の液晶駆動装置及び液晶駆動方法の動作を説明する。

【0011】ここで図4は、図3に示す如きSR1、SR2・・・とSW1、SW2・・・の動作を示すタイミングチャート図である。図4における ΦS は図3に示した外部信号発生器2が発生するスタートパルスであり、 $\Phi 1$ や $\Phi 2$ は同じく外部信号発生器2が発生するタイミングパルスである。ここで、タイミングパルス $\Phi 2$ は前記タイミングパルス $\Phi 1$ の反転波形である。また、H1、H2・・・は前記SR1、SR2・・・が発生するスイッチ開閉パルスであり、 ΦV は各々画素におけるビデオ信号である。

【0012】そして、スタートパルス ΦS は初段のSR1に例えばパルス幅590nsecの矩形波として入力され、タイミングパルス $\Phi 1$ 、 $\Phi 2$ に同期するようにし

て取り込まれる。初段のSR1はスタートパルス ΦS をスタート基準として作動を開始し、タイミングパルス $\Phi 1$ の立ち下がりではSW1を起動するためのスイッチ開閉パルスH1を出力してスイッチの開閉時に所定の画素に応じたビデオ信号 ΦV を取り込む。SR1の出力はSR2に転送されて、順次SW2、SW3・・・と1液晶パネル毎に固有の位相遅延を生じながら伝達される。同じく、タイミングパルス $\Phi 2$ の立ち下がりではSW2を起動するためのスイッチ開閉パルスH2を出力して次の画素に所望のビデオ信号 ΦV を取り込む。ここで、図4に示すようにタイミングパルス $\Phi 1$ や $\Phi 2$ の立ち下がりタイミングと、実際にスイッチ回路を起動するスイッチ開閉パルスH1及びH2の発生タイミングには Δt の遅延時間を生じる。この遅延時間 Δt は後述する理由により、液晶パネル毎に偏差(ばらつき)を含有している。

【0013】つまり、多結晶シリコンTFTは走査回路を構成すると同時に各画素のスイッチング素子をも構成しており、この多結晶シリコンTFTの電気的特性はシリコン薄膜の結晶粒径や、水素による粒界トラップ終端度合いにより大きく左右される。このため、各画素のスイッチング素子のトランジスタ特性を最適化するためにTFTのしきい値を調整したり、水素の終端度を变化させたり、製造プロセスを变化したりすると、走査回路内の信号伝搬においても影響を受けることになる。また、一枚のウェハから複数の液晶パネルを製造する場合にはウェハ内の取出部分による特性のばらつき(各液晶パネル毎のばらつき)等も走査回路内の信号伝搬に影響を及ぼすことになる。これらの特性のばらつきの影響は前述のような遅延時間 Δt のばらつきとして現れる。

【0014】従来、このビデオ信号 ΦV を各信号線に対応したスイッチに送出するタイミングは、予め外部信号発生器2内で自らが生成するタイミング信号を基準として一定の時間遅延を加えて調整されたビデオ信号 ΦV として出力されていた。

【0015】

【発明が解決しようとする課題】しかし、従来技術の液晶駆動装置及び液晶駆動方法では、上述のように外部信号発生器から入力されたタイミング信号が水平走査回路のスイッチに到達するまでの伝搬時間にばらつきが発生するため、入力されるビデオ信号のタイミングが変動する可能性がある。このようなビデオ信号の読み取りタイミングのずれが大きくなると隣接する信号線に混入するため、隣接する画素に言わば虚像を書き込んでしまい画素品位を著しく劣化させる要因となる。また、ビデオ信号のタイミングマージンの充分取れる比較的低画素の液晶パネルでは問題にならないが、画素が高精細となりスイッチング時間が短く成れば成る程、或いは駆動速度が上がれば上がる程、無視し得ない場合があった。

【0016】更に、この伝搬時間のばらつきは前述のように1液晶パネル毎に個別に発生するものであるためウ

5

エハで一律に遅延補正を施すことが不可能なばかりか、1液晶パネル毎の対策も施し難いという問題があった。
【0017】本発明は以上の点を考慮してなされたもので、高精細、高速駆動の液晶パネルにおいても、液晶パネル内の走査回路の信号伝搬特性のばらつきの影響を排除してビデオ信号の書き込みタイミングを最適に維持するとともに、1液晶パネル毎の対策を容易にした液晶駆動装置及び液晶駆動方法を提供しようとするものである。

【0018】

【課題を解決するための手段】上記の課題を解決するために本発明の液晶駆動装置では、走査回路部と画素表示部が一体的に形成された液晶駆動装置であり、タイミング信号を発生する外部信号発生器と、外部信号発生器から発生するタイミング信号によりサンプリングされたビデオ信号と、この外部信号発生器から発生するタイミング信号の伝達遅延を行う遅延用シフトレジスタとを備えた。そして、この遅延用シフトレジスタの出力信号を前記外部信号発生器に帰還するようにして前記課題を解決した。

【0019】また、走査回路部と画素表示部が一体的に形成された液晶表示装置の液晶駆動方法では、タイミング信号を発生する外部信号発生器と、このタイミング信号によりサンプリングされたビデオ信号と、外部信号発生器から発生するタイミング信号の伝達遅延を行う遅延用シフトレジスタとを備えた。そして、このタイミング信号は一旦外部信号発生器から出力された後、再度前記外部信号発生器に帰還する液晶表示装置の液晶駆動方法を採用することで前記課題を解決した。

【0020】

【作用】本発明の液晶駆動装置では、走査回路部と画素表示部が一体的に形成された液晶駆動装置であり、タイミング信号を発生する外部信号発生器と、外部信号発生器から発生するタイミング信号によりサンプリングされたビデオ信号と、この外部信号発生器から発生するタイミング信号の伝達遅延を行う遅延用シフトレジスタとを備えた。そして、この遅延用シフトレジスタの出力信号を前記外部信号発生器に帰還して、遅延時間を加味したタイミング信号を新たに外部信号発生器に帰還することにした。これにより、ビデオ信号の取出タイミングのばらつきが抑制され画像品位を安定に保持することができる。

【0021】また走査回路部と画素表示部が一体的に形成された液晶表示装置の液晶駆動方法では、タイミング信号を発生する外部信号発生器と、このタイミング信号によりサンプリングされたビデオ信号と、外部信号発生器から発生するタイミング信号の伝達遅延を行う遅延用シフトレジスタとを備えた。そして、このタイミング信号は一旦外部信号発生器から出力された後、再度前記外部信号発生器に帰還された伝達遅延タイミング信号とし

6

た。このため、ビデオ信号の取出タイミングのばらつきが抑制されて安定な画像を確保することができる。

【0022】

【実施例】以下、図1及び図2を参照して、本発明の液晶駆動装置及び液晶駆動方法の実施例を説明する。ここで、図1における垂直走査回路の詳細の説明は本発明が1走査線の選択時間を想定しているため省略した。なお、従来技術の液晶駆動装置及び液晶駆動方法の構成と同一の部分には同一の参照符号を付し、それらの構成や動作の説明を省略する。

10

【0023】初めに、図1を参照して本発明の液晶駆動装置及び液晶駆動方法の詳細を説明する。図1は本発明の液晶駆動装置を中心に示したブロック図である。同図における符号100は本発明の液晶駆動装置を指し、本発明の液晶駆動装置100は外部信号発生器102や、液晶パネル103で略構成されている。前記外部信号発生器102は図示を省略したが、従来技術の外部信号発生器の構成要素に加えて後述する遅延タイミング信号をもとに遅延ビデオ信号を再発生する手段を備えて構成される。

20

【0024】液晶パネル103の細部構成は、走査方向の制御を司る垂直走査回路111や水平走査回路112を一体的に搭載して構成される。前記水平走査回路112は、例えばピーク値13Vで1.7MHzの矩形波Φ1とその反転波形Φ2との2相クロックで構成され、スタートパルスΦSをもとにクロックド・インバータによるシフトレジスタにより構成される。また、従来技術のシフトレジスタSR1、SR2、SR3、SR4・・・に加えて本発明の特徴部分であるシフトレジスタSR0を新たに備えて構成される。なお、このシフトレジスタSR0は同一液晶パネル内の既存のシフトレジスタSR1、SR2、SR3、SR4・・・と略同一の遅延量を有するように構成されている。更に、SR1、SR2、SR3、SR4・・・の出力からはスイッチ開閉パルスH1、H2、H3、H4・・・が出力されており、従来技術の液晶パネルと同様にSW1、SW2、SW3、SW4・・・を備えている。また、垂直走査回路111や水平走査回路112には各画素制御用のTFT13がマトリクス状に配設されている。

30

40

【0025】そして、液晶パネル103は前述の外部信号発生器102から出力されたビデオ信号ΦVや、タイミング信号Φ1、Φ2、ΦS、ΦIを受取するとともに、水平走査回路112や垂直走査回路111に供給する。前記水平走査回路112内のSR1、SR2・・・ではスタートパルスΦSをスタート基準として作動を開始し、タイミングパルスΦ1、Φ2に応動したスイッチ開閉パルスH1、H2・・・を生成して次段のSW1、SW2・・・に出力する。更に、外部信号発生器102はパルス信号ΦIをシフトレジスタSR0に新たに出力する。SR0を設けることにより、パルス信号ΦIがSR0を

50

伝搬する間にシフトレジスタ固有の遅延時間が付加され、その出力はフィードバック信号ΦFとして、前記外部信号発生器102に帰還される。このフィードバック信号ΦFを基準に外部信号発生器102と液晶パネル103間の往復時の遅延量を加味して、ビデオ信号ΦVのタイミングの調整がなされて出力される。これにより、液晶パネル103内の走査回路固有の遅延時間をキャンセルすることができる。

【0026】前記SW1、SW2・・・ではスイッチ開閉パルスH1、H2・・・をもとにビデオ信号ΦVを取り込み前記TFT13のソース・ドレイン電極SDに出力する。以下、従来技術と同様にして液晶パネル103の画像表示がなされる。

【0027】次に、図2を参照して本発明の液晶駆動装置及び液晶駆動方法の動作を説明する。図2におけるΦSは図1に示した外部信号発生器102が発生するスタートパルスであり、Φ1やΦ2は同じく外部信号発生器102が発生するタイミングパルスである。ここで、タイミングパルスΦ2は前記タイミングパルスΦ1の反転波形である。また、H1、H2・・・はSR1、SR2・・・が発生するスイッチ開閉パルスであり、ΦVは各画素におけるビデオ信号である。

【0028】そして、スタートパルスΦSはSR1に入力され、タイミングパルスΦ1、Φ2に同期するようにして取り込まれる。SR1はパルスΦSをスタート基準として作動を開始し、タイミングパルスΦ1の立ち下がりでSW1を起動するためのスイッチ開閉パルスH1を出力してスイッチの拡開時に所定のビデオ信号ΦVを取り込む。SR1の出力はSR2に転送されて、順次SW2、SW3・・・と一定の位相遅延を生じながら伝達される。同じく、タイミングパルスΦ2の立ち下がりでSW2を起動するためのスイッチ開閉パルスH2を出力して次の画素に所定のビデオ信号ΦVを取り込む。ここで、タイミングパルスΦ1やΦ2の立ち下がりがタイミングと、実際にスイッチ回路SRを起動するスイッチ開閉パルスH1やH2の発生タイミングにはΔtの遅延時間を生じているが、新たに追加したSR0のダミーを通過することにより旧ビデオ信号ΦVは遅延補正Δt'がなされて遅延補正ビデオ信号ΦV'として出力される。このように、SR0を追加することによって1液晶パネル毎の遅延量を正確に補正することが可能となり高精細化された液晶駆動装置においてもビデオ信号を正確に取出することができる。

【0029】本発明は前記実施例に限定されず、種々の実施形態を採ることができる。例えば前記実施例ではダミー用の2相クロックのシフトレジスタを用いてビデオ信号の遅延補正を行う場合について説明したが、2相クロックに何ら限定されるものではない。また、前記ダミー用のシフトレジスタを用いてスタートパルスの遅延補

正を行うことも可能であるし、更に、タイミングパルスに遅延補正を行うことも可能なことは言うまでもない。

【0030】

【発明の効果】以上説明したように、本発明の液晶駆動装置及び液晶駆動方法によれば、液晶パネル内に遅延補正用シフトレジスタを内蔵してビデオ信号の遅延補正をすることにしたため、液晶パネル内の走査回路固有の信号伝搬の影響を排除することが可能となり、製造プロセスによる特性の変動や各液晶パネル毎の特性のばらつきによるビデオ信号と信号線書き込みスイッチングとのタイミングのずれを補正することができる。これにより、高精細表示や高速駆動時においても視聴者は画像振れない良好な映像を視覚することができる。

【0031】また、製造プロセスによる特性の変動や各液晶パネル毎の特性のばらつきによるビデオ信号と信号線書き込みスイッチングとのタイミングのずれを事前に補正することができるため、表示不良等の不良を未然に防止することができる。そのため、工程不良率を低減することができ製造コストを低減することができる。

【図面の簡単な説明】

【図1】本発明の液晶駆動装置及び液晶駆動方法を示すブロック図である。

【図2】本発明の液晶駆動装置及び液晶駆動方法の動作を示すタイミングチャート図である。

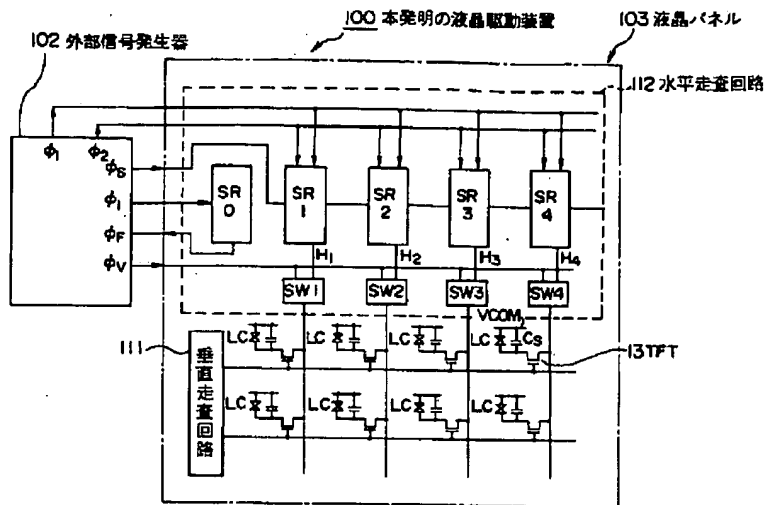
【図3】従来技術の液晶駆動装置及び液晶駆動方法を示すブロック図である。

【図4】従来技術の液晶駆動装置及び液晶駆動方法の動作を示すタイミングチャート図である。

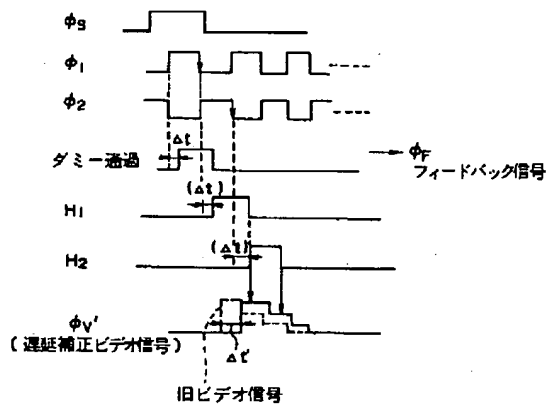
【符号の説明】

- 1 従来技術の液晶駆動装置
- 2、102 外部信号発生器
- 3、103 液晶パネル
- 4 入力端子
- 5 デコーダ
- 6 サンプルホールドS/H
- 7 ACアンプ
- 8 タイミングジェネレータTG
- 9 パルスドライバ
- 11、111 垂直走査回路
- 12、112 水平走査回路
- 13 TFT
- A ビデオ信号
- B タイミング信号
- Cs 蓄積容量
- LC 液晶セル
- VCOM 共通電極
- Sync 同期信号
- FRP フレームパルス

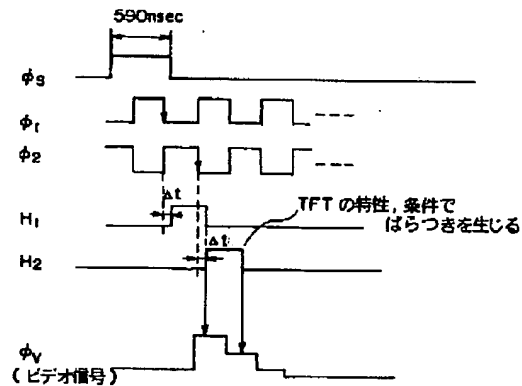
【図1】



【図2】



【図4】



【図3】

